

# 下一代光传输系统中 超高速 ADC 芯片性能测试方法

菅端端, 钟明琛

(中国电子技术标准化研究院, 北京 100176)

**摘要:** 针对下一代光传输系统对模数转换器(ADC)高采样率、大带宽的要求,提出一种针对该类ADC动态性能测试方法.通过分析光传输系统中ADC芯片的特点,解决了采样时钟无法直接测量,输出数据难以捕获,分辨率不易统计,插损非线性导致带宽测量偏差等问题,并将该方法应用于光传输、雷达、卫星等高数据率场景所用超高速ADC芯片的评测中.测试结果表明,该方法解决了最高采样率70GSPS带宽16GHz的超高速ADC测试的关键问题,基本满足下一代400Gbps光传输系统对ADC动态性能测试的要求.

**关键词:** 超高速模数转换器;下一代光传输系统;增益补偿;插损消除

**中图分类号:** TN06 **文献标识码:** A **文章编号:** 0372-2112 (2018)09-2251-05

**电子学报 URL:** <http://www.ejournal.org.cn> **DOI:** 10.3969/j.issn.0372-2112.2018.09.029

## Test Method of Ultra-High Speed ADC Performance in Next Generation Optical Transmission System

JIAN Duan-duan, ZHONG Ming-chen

(China Electronics Standardization Institute, Beijing 100176, China)

**Abstract:** This paper presents a set of test methods of analog to digital converter (ADC) dynamic performance, which are used for ADC with high sample rate and large bandwidth in next generation optical transmission system. Based on the analysis of the characteristics of ADC in optical transmission, the following essential problems are solved, including measuring the frequency of sampling clock directly, gathering the output data, calculating the resolution, and correcting the nonlinear error of bandwidth testing. The methods are used in performance evaluation on ultra-high speed ADCs, which are used for high data rate applications, such as optical transmission, radar, satellite, etc. Based on the test results, these methods have solved the key problem of 70GSPS sampling rate 16GHz bandwidth high speed ADC, which can meet the requirement of ADC dynamic performance test used in next generation 400Gbps optical transmission.

**Key words:** ultra-high speed analog to digital converter; next generation optical transmission system; gain compensation; insertion loss cancellation

### 1 引言

随着物联网、云服务对高传输带宽需求的日益增长,现有骨干光传输系统传输速率正在从2.5Gbps向超过100Gbps过渡.基于32G波特率双载波偏振复用16级正交幅度调制(2SC-PDM-16QAM)的400Gbps光传输是目前最具可行性和性价比的解决方案之一,其中最核心的器件——超高速ADC带宽需要达到16GHz,采样率需要超过32GSPS,有些甚至达到70GSPS.

超高速ADC由于时钟抖动(clock jitter)的限制<sup>[1]</sup>相比传统ADC<sup>[2]</sup>系统架构发生了巨大变化,给芯片的测试带来了新挑战.首先,芯片的高工作频率使得采样时钟只能使用片内锁相环产生,在不能验证倍频数的前提下,采样频率的测量成为难题.受限于信号损耗和反射引起的完整性问题,引出测试很困难,且带宽超过30GHz的测试设备价格昂贵.其次,输出数据为了保证质量通常并串转换后降频存储输出(也有在片外降频),这就导致很难直接验证ADC输出数据的速率,使

用奈奎斯特采样率验证又存在各种不确定性. 第三, 高采样率在短时间内产生大量数据, 缓存数据的存储器难以完整保存结果, 导致分辨率不易测量. 第四, 线缆、巴伦、隔直器件和 PCB 走线插损以及插损的非线性会对 ADC 带宽测量产生影响, 不能忽略. 最后, 光传输系统在 ADC 应用中的特殊性导致在测量有效位数时需对传统方法进行一定的调整.

本文的目的是通过研究下一代光传输系统中超高速 ADC 芯片的工作特点, 有针对性的制定相应产品的测试方法, 解决以上提到的新问题; 建立高速 ADC 测试环境和下一代光传输系统的验证环境, 对测试方法进行验证; 通过对高速 ADC 测试方法的理论研究和实际应用, 明确测试中需要注意的事项, 形成标准测试流程, 解决采样率在 30GSPS 以上 ADC 测试中的关键问题, 为雷达、卫星、频谱分析等高数据率应用<sup>[3]</sup>中的超高速 ADC 的测试评价提供方案.

## 2 超高速 ADC 测试方法

### 2.1 测试流程

超高速 ADC 不同于传统 ADC, 无法将所有引脚引出测试, 所以需要建立一套完整的测试流程, 通过各个侧面的考核对其进行整体评价. 在建立测试流程之前, 需要明确超高速 ADC 测试的特殊之处.

测试点选择困难. 超高速 ADC 的采样率和分辨率从 1GSPS, 12bit 到 70GSPS, 8bit<sup>[4]</sup>. 在这么高的速度下工作, 如想获得可接受的功率效率, 只能采用时域并行工作的交织结构 (time-interleaved architecture), 如图 1 所示. 时

间交织 ADC (TI-ADC) 是一种通过  $N$  个子 ADC (Sub-ADC) 交替工作以提升采样率的 ADC 结构, 这种结构可以得到  $N$  倍于 Sub-ADC 的采样率. Sub-ADC 依次以  $t_s$  的时间间隔对输入信号进行采样, 信号和时钟通路上的噪声<sup>[5]</sup>、串扰<sup>[6]</sup>等非理想因素都会引起采样误差, 主要来源为增益 (gain) 误差、失调 (offset) 误差、时间偏移 (timing skew). 在超高速 ADC 芯片内部会通过很多额外的控制校准电路来补偿这些误差, 有些结构还会单独设计一路校准 ADC (Cal-ADC) 在数字信号处理单元内分别与每个 Sub-ADC 的输出比较来进行时间偏移的校准, 而且数字处理完的信号紧接着就要进行存储或降频处理, 有些结构并不将最终结果合成传统 ADC 的标准输出, 这些额外的电路和特殊的数字处理方法使得性能测试时测试点的选择面临困难, 所以进行测试之前需要额外进行一步基本功能测试, 作为采样率、有效位等测试的充分条件.

超高频信号不易引出. 频率为 30GHz 的正弦信号波长约为 10mm, 这使得芯片上的引线不能忽略信号反射的影响, 为保证信号质量, 高频的引线距离应尽量短, 这就使得采样率在 30GSPS 以上的超高速 ADC 很多信号不能直接引到片外进行测试, 主时钟通常都是锁相环在片上生成, 输出信号通常都是降频输出, 这给直观评价 ADC 的性能带来困难.

测试环境复杂. 超高速 ADC 的测试环境除了要调试各种高精度高性能的测试设备, 还需要考虑信号传输线的带宽、反射、损耗、串扰, 芯片的散热、数据同步、误差校准等一系列问题, 给用户评价带来困难.

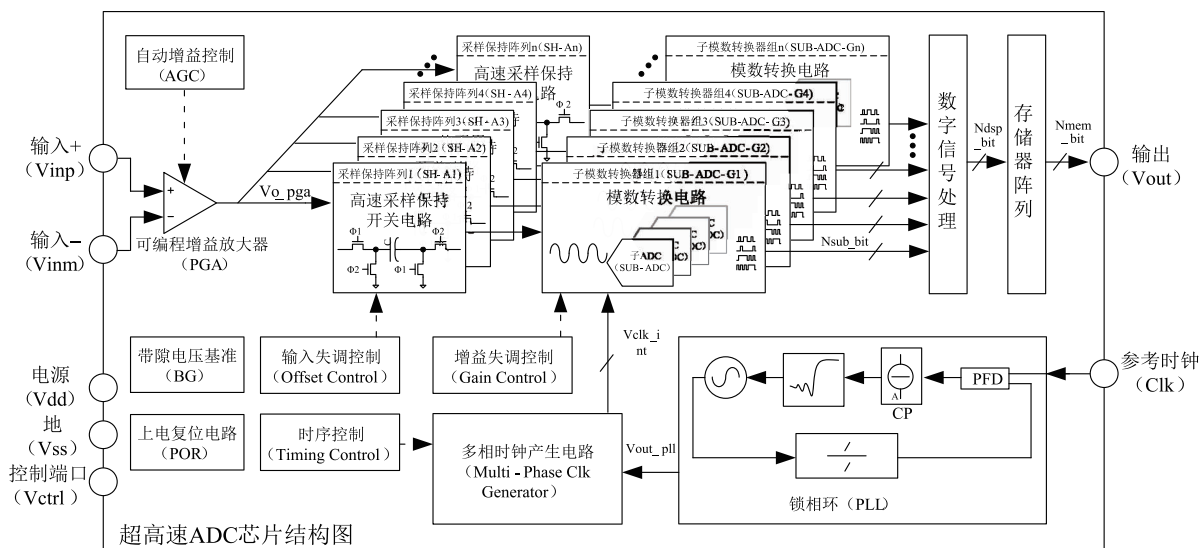


图1 超高速ADC芯片结构图

基于以上问题, 为了简化验证环境, 得到真实的测试结果, 我们采用图 2 所示测试流程, 在保证 ADC 基本功能的基础上, 完成样品主要性能指标的测试.

ADC 的测试通常是基于单频信号进行的, 这种方法简单有效, 但如果仅仅依靠单频信号评估 ADC 整体性能, 并不能得到采样率和有效位数结论的充分条件,

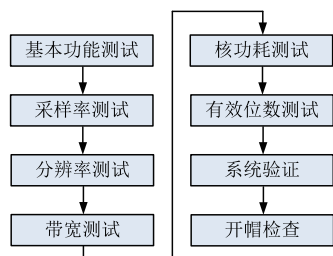


图2 测试流程图

所以,在测试之前需要进行“基本功能测试”以确定待测样品具有模拟到数字转换的基本能力。接下来测试项的顺序是基于因果关系确定的,比如,有效位数测试方法成立的前提条件是采样率测试通过。ADC 芯片性能测试通过之后,将待测样品集成到 400Gbps 高速光传输的应用环境中测试其实际使用的效果。最后,将性能测试和应用测试都通过的芯片进行开帽检查,验证所测芯片确为目标芯片。

## 2.2 基本功能测试

基本功能测试的目的是验证待测 ADC 具有模拟到数字转换的基本功能。与性能测试不同,基本功能测试的输入信号不只限于单频信号。以一款 70GSPS 采样率 8bit 分辨率的样品为例,首先,基于信号发生器的输出能力在 1G ~ 16GHz 范围内任意挑选一定数目单频信号,且各单频信号幅度在不超过输入电压范围的前提下随机指定,信号发生器产生由这些单频信号合成的多频点信号。由于单频信号频率和幅度的随机性以及多频点信号同时输入,可以综合考察待测 ADC 芯片的通带特性。

然后,将此多频点信号通过巴伦输入到 ADC 进行模拟/数字转换,得到的数据存入片上 RAM(如图 3 所示),再由 SPI 采集后传至计算机,使用 Matlab 脚本对该输出数据进行傅里叶变换并绘制频谱,验证 ADC 输入信号中各频点的频率、幅度与绘制的频谱是否一致。根据此结果不单能判断 ADC 的基本功能,还能推断 ADC 带内平整度等特性。

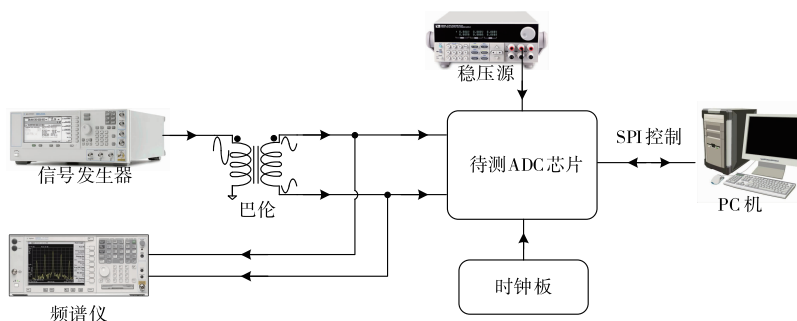


图3 ADC测试原理图

## 2.3 采样率测试

在超高速 ADC 中,由于采样时钟频率很高,其通常是由片外一个中低频时钟在片上经锁相环(PLL)倍频得到的(如图 1 所示),如果把此信号引到片外测试,由于受到反射、衰减、带宽、串扰、噪声等因素的限制,待测信号质量很差,甚至根本无法测试。而且时间交织 ADC(TI-ADC)的采样时钟频率往往并不等于 PLL 输出的频率,而是由 PLL 输出信号产生低频移相时钟来对各 Sub-ADC 进行采样。基于超高速 ADC 以上特点,使用公式 1 来进行采样频率的测量。

$$f_s = f_{\text{sig}} \cdot \frac{N_{\text{data}}}{N_{\text{sigcycle}}} \quad (1)$$

其中,  $f_s$  为待测 ADC 的总采样率,  $f_{\text{sig}}$  为输入信号频率,  $N_{\text{sigcycle}}$  为输入正弦信号周期数,  $N_{\text{data}}$  为与输入正弦信号对应周期内得到的输出数据个数。

具体操作时,在高速 ADC 输入加一个低频正弦信号(为了保证足够的周期数,  $f_s$  与  $f_{\text{sig}}$  的比不应大于 100),ADC 采样一段时间后,可以画出 ADC 输出数据

折算到十进制数随时间变化的图形,在该图形上任意找  $N_{\text{sigcycle}}$  个周期,“基本功能测试”可以保证输出数据的周期数和输入信号周期数是一致的,统计输出数据  $N_{\text{sigcycle}}$  周期内的数据点数即为  $N_{\text{data}}$ ,误差  $\pm 1$ 。

## 2.4 分辨率测试

在中低速 ADC 中,通过静态测试可以确定线性度参数如 DNL,从而可以得到 ADC 的分辨率,但对于超高速 ADC 来说,在输入高速信号的情况下,输出不丢码在有些应用中是很重要的,所以,需要测试动态条件下的分辨率。

首先,令信号发生器产生与采样频率互质的输入正弦信号经巴伦输入 ADC 芯片进行模拟/数字转换。然后,将转换得到的数据由 FPGA 采集后传至计算机,记录采集的数据。最后,在输出的数据中进行码值统计(如直方图叠加统计),判断是否能够得到实现指定分辨率所需的所有码值。

## 2.5 带宽测试

在超高速 ADC 测试中,线缆、巴伦、隔直器件以及

PCB 走线的插损是不能忽视的,在 16GHz 下仅仅线缆的插损相比直流就可以达到 2dB. 所以,在进行芯片带宽测试时,需要去除芯片外围电路及连接线对芯片的影响. 首先,测量外围电路及连接线的插损,然后,进行整体传输特性测试,最后,从中减去插损,如图 4 所示.

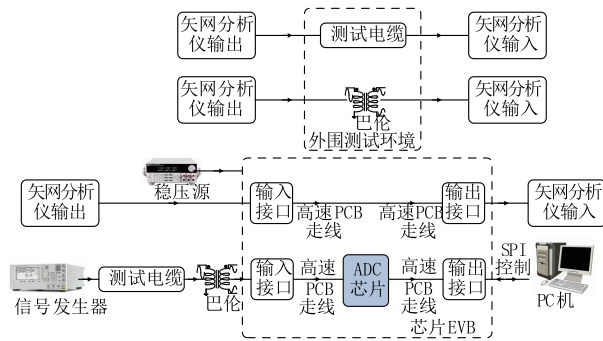


图4 带宽测试方法

外围电路的插损使用高速矢量网络分析仪进行测试,需要注意的是板级插损需要在设计电路板的时候就设计一条和实际传输线一模一样的空导线用于板级传输线插损测量.

## 2.6 核功耗测试

核功耗是最简单但又最不易测准确的参数,一方面由于高速 ADC 有很多板级供电单元,通常不好完全区分板级电压调制器(LDO)和芯片所用功耗,另一方面高速 ADC 通常有多个电源域,需要分别测试.

测试时,调节输出幅度使得 ADC 采集到的信号为满幅输出,通过控制评估板上开关选择外部直流电源给 ADC 芯片供电,并且确认关闭 ADC 供电电源后,芯片无法正常工作. 这种操作存在一定风险,一是会令对上电顺序有要求的芯片无法正常工作,二是会对不同电源域间电流泄放做得不好的芯片产生破坏性影响. 各电源域功耗的和即为待测 ADC 总的核功耗.

## 2.7 有效位数等动态参数测试

有效位数(ENOB)的测试方法与 THD、SFDR、SNR、SNDR 的方法类似,都是通过对 FPGA 采集到数据进行傅里叶变换,然后进行计算的.

在光传输系统中,通常信号都比较弱,谐波失真不是主要因素,为了避免使用传统基于满幅信号计算 ENOB 的方法同时也增大谐波的缺点,同时方便与其他 ADC 性能进行比较,富士通等厂家使用 -6dBFS 作为输入信号计算 ENOB,此结果加上 1bit 就是最终的 ENOB. 测试中,通过寻找输出得到全部输出码的最小输入功率确认满幅输入信号,将此信号功率降低 6dB,就可以进行 ENOB 的测试.

## 2.8 系统验证方法

建立针对 400Gb/s 高速光传输应用的 ADC 芯片验

证环境,实现系统验证. 通常 ADC 的验证都是与 DAC 一起进行的,首先将待测信号经过多路 DAC 变成模拟信号,由于 ADC、DAC 芯片验证不受编码格式影响,为使测试方便且直观,可以采用伪随机码作为 DAC 的输入信号,并通过眼图仪确认 DAC 输出. 然后经过频率调制或相位调制将 DAC 输出模拟信号调制成光信号,经过光纤传输后通过解调器将光信号转化为电信号,然后使用多路 ADC 芯片对解调后的电信号进行量化,量化后的数据一方面送往 DSP 计算得出星座图,另一方面可以与输入的伪随机码比较得出误码率.

## 3 实验结果

为了验证测试方法,我们选用了两款超高速 ADC 进行测试,一款 32GSPS 采样率 6bit 分辨率,另一款 64GSPS 采样率 8bit 分辨率,此两款 ADC 全部为国产芯片,体现了我国近年来在光传输系统高速 ADC 研发领域的最高水平. 综合下一代光传输系统的应用需要及项目考核指标要求,对待测样品的测试指标规定如下: (1) 采样率  $\geq 32\text{GSPS}$ ; (2) 分辨率  $\geq 6\text{bit}$ ; (3) 带宽  $\geq 16\text{GHz}$ ; (4) 功耗  $\leq 2\text{W}$ ; (5) 有效位数  $\geq 4.7\text{bit}$ .

测试板如图 3 方式搭建,信号源和参考时钟都使用是德科技的 E8257D 产生(校准频率误差  $< \pm 4 \times 10^{-8}$ ),频谱仪使用 N9030A(频率测量误差  $< \pm 1 \times 10^{-7}$ ),为提高信号质量,使用分立的巴伦产生差分输入信号. ADC 输出的数据使用一个高速 FPGA 进行采样,然后转成低速信号后传到计算机进行处理.

表 1 比较了待测 ADC 与国际最新 ADC 几个主要的性能指标,从表中可以看到,国产 ADC 的水平已经接近国际领先水平.

表 1 国产 ADC 测试结果及与国际水平的比较

	采样率	分辨率	带宽	核功耗	有效位数
ADC_I	70GSPS	8bit	16GHz	1.4W	5.3bit
ADC_II	32GSPS	6bit	16GHz	10W	4.7bit
文献[7]	64GSPS	8bit	8GHz	0.95W	5.9bit
文献[8]	10GSPS	12bit	4GHz	2.9W	8.8bit
文献[9]	90GSPS	8bit	20GHz	0.67W	5.2bit

需要特别注意的是随着频率增高,测试线缆、巴伦、隔直器件以及 PCB 走线的损耗也会增大,仅线缆插损 16GHz 时的插损相比 1GHz 时就会增大 2dB 左右. 图 5 为待测 ADC 在输入 -6dBFS 正弦信号条件下测得的 1GHz ~ 16GHz 频率范围内的增益曲线. 其中,蓝色圆点曲线为测试板整体的增益,包含了待测 ADC、线缆、巴伦、隔直器件以及 PCB 走线的全链路增益,红色星型曲线为去除线缆损耗后的增益,绿色方块曲线为去除线缆、巴伦、隔直器件以及 PCB 走线得到的 ADC 增益曲

线. 可见, 测试辅助器件的插损及随频率的变化对最终测试结果影响很大.

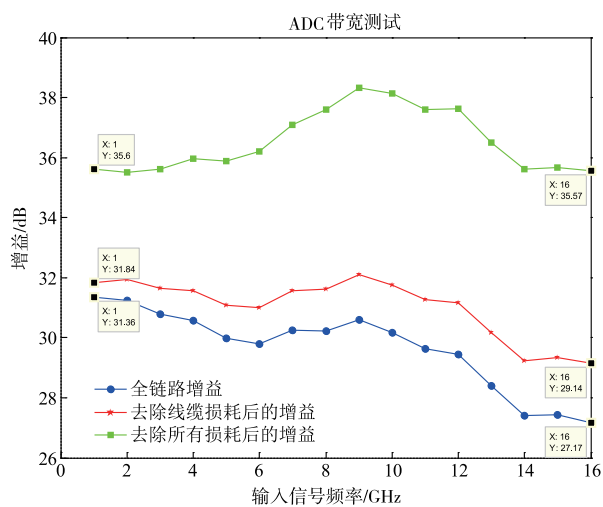


图5 ADC带宽测试结果

## 4 结论

通过对用于下一代光传输系统的超高速 ADC 测试特点的分析, 建立了一套包括基本功能、采样率、分辨率、带宽、核功耗、有效位数等关键参数的测试方法, 并搭建了光传输系统对此类 ADC 的实际使用效果进行评估. 经过测试验证, 此套方法可以解决超高速 ADC 的动态参数测试问题, 可以完成最高采样率 70GSPS 带宽 16GHz 的超高速 ADC 关键参数的测试, 满足下一代 400Gbps 光传输系统对 ADC 的动态性能测试要求, 并可扩展到雷达、卫星、频谱分析等高数据率场景中使用的超高速 ADC 的测试评价. 通过对国内目前领先水平芯片的测试, 探索了一条解决此类 ADC 测试的方向, 未来将针对降低测试系统成本方面继续开展研究, 进一步优化方法, 完善测试环境.

## 参考文献

- [1] WALDEN R H. Analog-to-digital converter in the early 21st century [A]. MARK D. International Microwave Symposium[C]. Honolulu: IEEE Microwave Theory and Techniques Society, 2007. 3 - 8.
- [2] JOEY D, HAE-SEUNG L, DAVID A H. Full-speed testing of A/D converters [J]. IEEE Journal of Solid-state Circuits, 1984, 19(6): 820 - 827.
- [3] MASSIMISSA H, MOHAMMAD E G, HONG L, et al. 40 GSPS All-Optical ADC with ENOB of 6.6 using EO polymer optical deflector and spatial quantizer [A]. XIE S. 2015 International Topical Meeting on Microwave Photonics (MWP)[C]. Paphos: IEEE, 2015. 1 - 4.
- [4] MANAR E C, BORIS M. A 12-GS/s 81-mW 5-bit Time-Interleaved Flash ADC With Background Timing Skew Calibration[J]. IEEE Journal of Solid-state Circuits, 2011, 46(4): 836 - 847.
- [5] 菅端端, 刘芳, 钟明琛. 美军标 MIL-STD-883K 中噪声容限测试方法的适用性研究[J]. 电子测量技术, 2017, 40(5): 14 - 22.
- JIAN Duan-duan, LIU Fang, ZHONG Ming-chen. Study on the applicability of test method of noise margin in U. S. military standard MIL-STD-883K[J]. Electronic Measurement Technology, 2017, 40(5): 14 - 22. (in Chinese)
- [6] 菅端端, 赵鑫. 数字电路封装的串扰测试方法研究[J]. 国外电子测量技术, 2017, 36(6): 14 - 21.
- JIAN Duan-duan, ZHAO Xin. Study on crosstalk measurements for digital integrated circuits package[J]. Foreign Electronic Measurement Technology, 2017, 36(6): 14 - 21. (in Chinese)
- [7] CAO J, CUI D, NAZEMI A, et al. A transmitter and receiver for 100Gb/s coherent networks with integrated  $4 \times 64$ GS/s 8b ADCs and DACs in 20nm CMOS[A]. ANANTHA C. IEEE International Solid-state Circuits Conference (ISSCC)[C]. San Francisco: IEEE, 2017. 484 - 485.
- [8] DEVARAJAN S, SINGER L, KELLY D, et al. A 12b 10GS/s interleaved pipeline ADC in 28nm CMOS technology[A]. ANANTHA C. IEEE International Solid-state Circuits Conference (ISSCC)[C]. San Francisco: IEEE, 2017. 288 - 289.
- [9] KULL L, TOIF T, SCHMATZ M. A 90GS/s 8b 667mW  $64 \times$  interleaved SAR ADC in 32nm digital SOI CMOS [A]. ANANTHA C. IEEE International Solid-state Circuits Conference (ISSCC)[C]. San Francisco: IEEE, 2014. 378 - 379.

## 作者简介



菅端端 男, 1981 年 11 月出生于内蒙古呼和浩特市. 现为中国电子技术标准化研究院高工, 主要研究方向为模拟和混合集成电路设计及测试技术、超高频无源标签和读写器标准及测试技术、MEMS 传感器测试技术等. E-mail: jiandd@cesi.cn



钟明琛 男, 1974 年出生于上海市. 现为中国电子技术标准化研究院高工, 主要研究方向为大规模复杂电路自动测试技术. E-mail: zhongmc@cesi.cn